

30.08.2004

日本国特許庁
JAPAN PATENT OFFICE

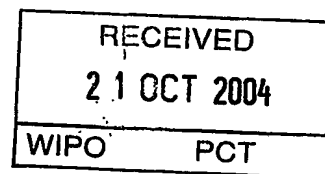
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 8月28日
Date of Application:

出願番号 特願2003-304276
Application Number:
[ST. 10/C]: [JP 2003-304276]

出願人 株式会社ルネサステクノロジ
Applicant(s):

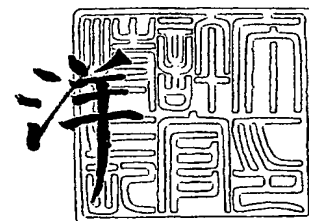


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年10月 7日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 R03001251
【提出日】 平成15年 8月28日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 11/28
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノ
 ロジ内
 【氏名】 薄井 一雄
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
 【識別番号】 100089071
 【弁理士】
 【氏名又は名称】 玉村 静世
 【電話番号】 03-5217-3960
【手数料の表示】
 【予納台帳番号】 011040
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

中央処理装置、デバッグ用インタフェースに利用可能な高速シリアル通信インタフェース回路、及び外部メモリに接続可能な外部バスインタフェース回路を有し、

前記高速シリアル通信インタフェース回路はその内部に複数の入力バッファを有し、相互に一の入力バッファに対する入力動作に並行して他の入力バッファからデータを出力可能とされ、

前記デバッグモードにおいて、前記高速シリアル通信インタフェース回路はシステムプログラムを受信し、受信されたシステムプログラムをメモリアクセス制御信号と共に前記外部バスインタフェース回路から出力可能であることを特徴とするマイクロコンピュータ

【請求項 2】

前記高速シリアル通信インタフェース回路は、ユニバーサルシリアルバスインタフェース回路であることを特徴とする請求項 1 記載のマイクロコンピュータ。

【請求項 3】

受信されたシステムプログラムを外部バスインタフェースに接続されたメモリに転送制御が可能なダイレクトメモリアクセスコントローラを有することを特徴とする請求項 2 記載のマイクロコンピュータ。

【請求項 4】

前記ダイレクトメモリアクセスコントローラによるシステムプログラムの転送元は前記高速シリアル通信インタフェースの入力バッファであることを特徴とする請求項 3 記載のマイクロコンピュータ。

【請求項 5】

前記高速シリアル通信インタフェース回路の入力バッファに受信されたシステムプログラムを一時的に蓄積可能なランダムアクセスメモリを有し、

前記ダイレクトメモリアクセスコントローラによるシステムプログラムの転送元は前記ランダムアクセスメモリであることを特徴とする請求項 3 記載のマイクロコンピュータ。

【請求項 6】

デバッグ専用低速シリアル通信インタフェース回路を有し、前記デバッグ専用低速シリアル通信インタフェース回路は、デバッグモードにおいて、前記高速シリアル通信インタフェース回路を制御する制御データの入力に利用可能であることを特徴とする請求項 1 記載のマイクロコンピュータ。

【請求項 7】

前記デバッグ専用低速シリアル通信インタフェース回路は、デバッグモードにおいて、前記高速シリアル通信インタフェース回路に代えてシステムプログラムの受信に利用可能であることを特徴とする請求項 6 記載のマイクロコンピュータ。

【請求項 8】

前記デバッグ専用低速シリアル通信インタフェース回路は JTAG に準拠しデータレジスタを有することを特徴とする請求項 6 又は 7 記載のマイクロコンピュータ。

【請求項 9】

トレース制御回路を有し、前記トレース制御回路は前記中央処理装置が前記システムプログラムを実行したときの内部状態をトレース情報として逐次蓄えることを特徴とする請求項 1 又は 6 記載のマイクロコンピュータ。

【請求項 10】

前記トレース情報の外部出力に前記高速シリアル通信インタフェース回路を利用可能であることを特徴とする請求項 9 記載のマイクロコンピュータ。

【請求項 11】

ホストコンピュータと、エミュレータと、ターゲットデバイスとを用いて、ターゲットデバイスが実行するシステムプログラムを開発する方法であって、

前記エミュレータによる処理として、ホストコンピュータが高速シリアル通信で出力す

るシステムプログラムを2面バッファの一方のバッファに蓄積する第1処理と、前記2面バッファの他方のバッファに蓄積されたシステムプログラムを前記第1処理に並行してターゲットデバイスに低速シリアル通信で送信する第2処理と、ターゲットデバイスとの間の前記低速シリアル通信のハンドシェーク制御を行なう第3処理を含むことを特徴とするシステムプログラムの開発方法。

【請求項12】

前記第2処理では、前記バッファから出力するシステムプログラムを前記一つのバッファの記憶容量以上のFIFOバッファを経由してターゲットデバイスに低速シリアル通信で送信し、

前記第3処理では、ターゲットデバイスからの送信許可に応答してFIFOバッファからターゲットデバイスへの送信を行ない、FIFOバッファのフル状態に応答して前記バッファからFIFOバッファへの転送を抑制することを特徴とする請求項11記載のシステムプログラムの開発方法。

【書類名】明細書

【発明の名称】マイクロコンピュータ及びシステムプログラムの開発方法

【技術分野】

【0001】

本発明は、マイクロコンピュータ、特にデバッグサポート機能を有するマイクロコンピュータに関し、更にはマイクロコンピュータを動作させるシステムプログラムの開発方法に関する。

【背景技術】

【0002】

デバッグサポート機能を有するマイクロコンピュータはデバッグに際してエミュレータもしくはホストコンピュータと通信を行なうデバッグ用インタフェースを有する。このデバッグ用インタフェースには、例えば JTAG (Joint Test Action Group, IEEE Std 114 9.1, IEEE Standard Test Access Port and Boundary-Scan Architecture) プロトコルに準拠したシリアル入出力インタフェースが用いられている。特許文献 1 にもそのようなデバッグ用インタフェースを備えたマイクロコンピュータの記載がある。

【0003】

【特許文献 1】特開 2002-202900 号公報 (段落 0017)

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明者はデバッグサポート機能（オンチップデバッグ機能とも称する）を有するマイクロコンピュータをシステムデバッグするとき（デバッグ対象マイクロコンピュータをターゲットマイクロコンピュータと称する）、そのターゲットプログラムをホストコンピュータからターゲットシステムのプログラムメモリにダウンロードする機能におけるデータ転送の高速化について検討した。例えば、ターゲットマイクロコンピュータは JTAG 準拠のデバッグ用シリアルインタフェース回路を有する。USB (Universal Serial Bus) インタフェース回路を持つパーソナルコンピュータ（PC）に USB ケーブルでエミュレータを接続し、エミュレータは専用のユーザーインターフェースケーブルでターゲットシステム（ユーザーシステムとも称する）に搭載されたターゲットマイクロコンピュータのデバッグ用シリアルインタフェースに接続する。ターゲットマイクロコンピュータはオンチップデバッグ機能を有する。オンチップデバッグ機能を有するターゲットマイクロコンピュータは、ユーザモードの他に、ターゲットプログラムの開発を支援するデバッグモードを有する。前記ユーザモードではターゲットシステムのためにユーザが開発するユーザプログラムとしてのシステムプログラム（ターゲットプログラムとも称する）を実行する。前記デバッグモードでは、ユーザプログラムの実行が停止されているとき、主にプログラムデバッグ支援用のプログラム（デバッグ支援プログラムとも称する）を実行する。デバッグ支援プログラムは、ターゲットマイクロコンピュータの電源投入毎にホストコンピュータ上のエミュレータソフトより転送され、ターゲットマイクロコンピュータ内部のデバッグ用アドレス空間上に書き込みされ、ホストコンピュータ上のエミュレータソフトウェアとリンクされる。ホストコンピュータから供給されるユーザプログラムは、ターゲットマイクロコンピュータがユーザモードでデバッグ支援プログラムを実行することによって、ターゲットシステム上の所定メモリ空間に書き込まれる。エミュレータとターゲットマイクロコンピュータとの間の通信には前記 JTAG 準拠のデバッグ用シリアルインタフェース回路が用いられる。このデバッグ用シリアルインタフェース回路は、所定バイト単位でクロック同期のシリアル転送を行なうため、転送スピードは前記クロック周波数に比例し、USB インタフェース回路に比べて低速である。例えば、USB 規格 1.1 でも転送処理能力はフルスピードで 1200 キロバイト（KB）/秒であるが、JTAG 準拠のインタフェースでは 4 バイトのような 1 回の最大データ転送毎にターゲットマイクロコンピュータからのアクセス許可を示すステータスを取得して次の転送データをセットするというデータ転送手順を必要とし、それによるオーバーヘッド故に、同期クロック周波数を上げて

も 230KB/秒のような転送速度限界を生ずる。このような転送速度の相違によって、比較的容量の大きなターゲットプログラムのロード転送に長い時間を必要とし、システムデバッグ効率を低下させ、更にはターゲットプログラムの開発期間短縮を阻む要因の一つになっていることが本発明者によって明らかにされた。

【0005】

本発明の目的は、ターゲットマイクロコンピュータをシステムデバッグするとき、デバッグ対象のシステムプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送を高速化することにある。

【0006】

本発明の別の目的は、エミュレータを利用してシステムプログラムを開発するとき、デバッグ対象のシステムプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送の高速化という点において、システムプログラムの開発期間の短縮に寄与することにある。

【0007】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】

〔1〕本発明に係るマイクロコンピュータは、中央処理装置、デバッグ用インタフェースに利用可能な高速シリアル通信インタフェース回路（3）、及び外部メモリに接続可能な外部バスインタフェース回路（5）を有する。前記高速シリアル通信インタフェース回路はその内部に複数の入力バッファ（EP1, EP2）を有し、相互に一の入力バッファに対する入力動作に並行して他の入力バッファからデータを出力可能とされる。前記デバッグモードにおいて、前記高速シリアル通信インタフェース回路はシステムプログラムを受信し、受信されたシステムプログラムをメモリアクセス制御信号と共に前記外部バスインタフェース回路から出力可能である。前記高速シリアル通信インタフェース回路は、例えばユニバーサルシリアルバスインタフェース回路である。システムデバッグに際して前記高速シリアル通信インタフェース回路にホストコンピュータを直結することにより、ターゲットプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送を高速化することができる。特に前記高速シリアル通信インタフェース回路は交互に入出力動作を切換えて並列動作可能な2面バッファを備えるという点でデータ転送の更なる高速化が実現される。ターゲットプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送の高速化という点において、ターゲットプログラムの開発期間の短縮に寄与する。

【0010】

本発明の望ましい形態では、受信されたシステムプログラムを外部バスインタフェース回路に接続されたメモリに転送制御可能なダイレクトメモリアクセスコントローラを有する。中央処理装置の負担軽減とデータ転送の更なる高速化に好都合である。前記ダイレクトメモリアクセスコントローラによるシステムプログラムの転送元は、例えば前記高速シリアル通信インタフェース回路の入力バッファである。前記高速シリアル通信インタフェース回路の入力バッファに受信されたシステムプログラムを一時的に蓄積可能なランダムアクセスメモリ（7）を備える場合には、前記ダイレクトメモリアクセスコントローラによるシステムプログラムの転送元は前記ランダムアクセスメモリとしてよい。前記高速シリアル通信インタフェース回路の入力バッファ（EP1, EP2）とランダムアクセスメモリ（7）で多段バッファを構成してシステムプログラムを受けるから、高速シリアル通信インタフェース回路による受信処理と受信データに対する転送処理との速度差に対して更に余裕ができる。

【0011】

本発明の望ましい形態では、デバッグ専用低速シリアル通信インタフェース回路（8）を有し、前記デバッグ専用低速シリアル通信インタフェース回路は、デバッグモードにおいて、前記高速シリアル通信インタフェース回路を制御する制御データの入力に利用可能である。デバッグ専用低速シリアル通信インタフェース回路は例えばJTAG準拠のシリアルインタフェース回路であり、中央処理装置の制御を必要とせずにインタフェース動作を行なうことができるようになっている。前記デバッグ専用低速シリアル通信インタフェース回路は、例えばデバッグモードにおいて、前記高速シリアル通信インタフェース回路に代えてシステムプログラムの受信に利用可能である。

【0012】

デバッグサポート機能の充実という観点より、トレース制御回路を内蔵してよい。前記トレース制御回路は前記中央処理装置が前記システムプログラムを実行したときの内部状態をトレース情報として逐次蓄え、蓄えたトレース情報は前記システムプログラムの実行停止後に外部に出力される。前記トレース情報の外部出力に前記高速シリアル通信インタフェース回路を利用可能である。

【0013】

〔2〕本発明に係るシステムプログラムの開発方法は、ホストコンピュータ（25）と、エミュレータ（35）と、ターゲットデバイス（33）とを用いて、ターゲットデバイスが実行するシステムプログラムを開発する方法であって、前記エミュレータによる処理として、ホストコンピュータが高速シリアル通信で出力するシステムプログラムを2面バッファの一方のバッファに蓄積する第1処理と、2面バッファの他方のバッファに蓄積されたシステムプログラムを前記第1処理に並行してターゲットデバイスに低速シリアル通信で送信する第2処理と、ターゲットデバイスとの間の前記低速シリアル通信のハンドシェイク制御を行なう第3処理を含む。2面バッファの利用により、ターゲットプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送を高速化することができるという点において、ターゲットプログラムの開発期間を短縮することができる。

【0014】

本発明の具体的な形態として、前記第2処理では、前記バッファから出力するシステムプログラムを前記一つのバッファの記憶容量以上のFIFOバッファを経由してターゲットデバイスに低速シリアル通信で送信し、前記第3処理では、ターゲットデバイスからの送信許可に応答してFIFOバッファからターゲットデバイスへの送信を行ない、FIFOバッファのフル状態に応答して前記バッファからFIFOバッファへの転送を抑制する。低速シリアル通信にFIFOバッファを用いることにより、第1処理から第2処理に渡されるデータの滞留による第1処理の中断を減らすことができ、この点においても、上記データ転送を高速化することができる。

【発明の効果】**【0015】**

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0016】

すなわち、ターゲットマイクロコンピュータをシステムデバッグするとき、システムプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送を高速化することができる。要するに、システムデバッグにおいて、システムプログラムダウンロード機能の性能を向上させることができる。

【0017】

エミュレータを利用してシステムプログラムを開発するとき、システムプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送の高速化という点において、システムプログラムの開発期間の短縮に寄与することができる。

【発明を実施するための最良の形態】

【0018】

図1には本発明に係るマイクロコンピュータ1が例示される。マイクロコンピュータ1は、単結晶シリコンのような1個の半導体基板(半導体チップ)に相補型MOS集積回路製造技術等によって形成される。マイクロコンピュータ1は、中央処理装置(CPU)2、デバッグ用インタフェースに利用可能な高速シリアル通信インタフェース回路としてのUSBインタフェース回路(USBIF)3、外部メモリ(EXMRY)4に接続可能な外部バスインタフェース回路(EXIF)5、ダイレクトメモリアクセスコントローラ(DMAC)6、ランダムアクセスメモリ(RAM)7、デバッグ専用低速シリアル通信インタフェースとしてのJTAGインタフェース回路(JTAGIF)8、トレース制御回路(TRCNT)9、トレース情報の外部出力制御用のAUD(アドバンスト・ユーザ・デバッグ)インタフェース回路(AUDIF)10、及びエミュレーションRAM(EMMRY)11を有し、特に制限されないが、それらは内部バス(IBUS)12を共有する。尚、内部バス12にはタイマカウンタなどその他の回路が接続されていてよい。

【0019】

前記USBIF3は、例えばUSB2.0規格に準拠し、USBバッファ部(USBBUF)20とUSBインタフェース制御部(UCNT)21を有する。USBバッファ部20は夫々512バイトのUSBバッファEP1、EP2によるダブルバッファ構造を持つ。USBバッファEP1、EP2は例えばFIFOによって構成される。UCNT21は所謂USBデバイスコントロールとデータ転送制御を行なう。UCNT21はUSBホストとして例えば図1のホストコンピュータ(パーソナルコンピュータ)に搭載されるUSBホストにUSBケーブル23で接続され、USBデバイスコントロールとして、USBホストからのコマンドに応答して所定のプロトコルでデータのシリアル送受信制御を行なう。USBホストからの受信データはバッファ部20に送られ、USBホストへの送信データはバッファ部20から供給される。UCNT21はデータ転送制御としてバッファ部20に対するリード・ライト制御と、DMAC6に対する転送要求の制御を行なう。特にバッファ部20に対するリード・ライト制御では、相互に一のUSBバッファに対する入力動作(USBホストからの受信データ入力動作)に並行して他のUSBバッファからデータ出力動作(DMA転送のための内部バス12への出力動作)を可能とする。

【0020】

DMAC7はCPU2により、転送元アドレス、転送先アドレスなどのデータ転送制御条件が設定され、USBIF3等からのDMA転送要求に応答して、転送元から転送動作へのデータ転送を制御する。データ転送モードとしてデュアルアドレッシングモード及びシングルアドレッシングモードの双方をサポートする。例えば、USBバッファEP1、EP2とEMMRY11との間のシングルアドレスによるデータ転送、USBバッファEP1、EP2とRAM7との間のシングルアドレスによるデータ転送、RAM7とEXMRY4との間のデュアルアドレスによるデータ転送を制御することができる。

【0021】

JTAGIF8は受信データを入力する入力レジスタTDI、送信データを出力する出力レジスタTDO、前記レジスタTDIと内部バス12を接続するデータレジスタSDDR、図示を省略するコマンドレジスタ、JTAG制御回路(JCNT)24を有する。JCNT24はクロック信号TCKに同期してレジスタTDOからのシリアル出力とレジスタTDIへのシリアル入力を制御する。その制御には所謂TAP(テスト・アクセス・ポート)コントロールを用い、クロック信号TCKに同期してシリアル入力される図示を省略する1ビットのモードセレクト信号のパターンによって制御を行なう。外部からJTAGIF8へのデータ入力はレジスタTDOから外部にアクセス許可ビットが出力される毎に可能にされる。例えばJTAGIF8は4バイト受信毎に外部にアクセス許可ビットを出力する。この意味において、JTAGIF8によるシリアル通信速度は遅い。規格ではTCK周波数は数十MHzであり、USB2.0規格では転送処理能力がハイスピード時480MB/秒であるのに対して低速である。

【0022】

前記CPU 2は図示を省略する命令制御部と演算部を備える。命令制御部は命令フェッチを制御すると共にフェッチした命令のデコードを行なう。演算部は命令のデコード信号及び命令で指定されるオペランドを用いてデータ演算やアドレス演算を行なって命令を実行する。マイクロコンピュータ1は通常モードとしてのユーザモードの他に、ターゲットプログラムの開発を支援するデバッグモードを有する。前記デバッグモードの指定は、リセット時にモード端子から指定し、或いはユーザモードにおいてブレーク割り込みで指定することができる。前記ユーザモードではEXMRY 4に格納されているシステムプログラム(ユーザプログラムとも称する)を実行する。前記デバッグモードでは、ユーザプログラムの実行が停止されているとき、主にプログラムデバッグ支援用のプログラム(デバッグ支援プログラム)を実行する。デバッグ支援プログラムは、マイクロコンピュータ1の電源投入毎にホストコンピュータ25のエミュレータソフトにより転送され、EMMR Y 11のデバッグ用アドレス空間上に書き込みされる。ブートプログラムはマイクロコンピュータ1に内蔵される図示を省略するマスクROM又は電気的に書換え可能なフラッシュメモリが保有する。デバッグ時に、ユーザプログラムはデバッグモードでマイクロコンピュータ1が前記デバッグ支援プログラムを実行することによって、ターゲットシステム上のEXMRY 4に書き込まれる。ユーザプログラムはホストコンピュータ25から供給される。

【0023】

図1では、ターゲットシステムのマイクロコンピュータ1とホストコンピュータ25との間の通信にはUSBI F 3が利用可能にされる。JTAGIF 8を利用することも可能であるが、通信速度の点でUSBI F 3の方が優れているので、USBI F 3を利用するのが得策である。特にUSBI F 3は交互に入出力動作を切換えて並列動作可能な2面バッファEP 1, EP 2を備えるという点でデータ転送の更なる高速化が実現される。ユーザプログラムをホストコンピュータ25からターゲットシステムにダウンロードするときのデータ転送の高速化という点において、ユーザプログラムの開発期間を短縮可能になる。

【0024】

USBI F 3で受信されたシステムプログラムをEXIF 5に接続されたEXMRY 4に転送するには、DMAC 6を用いればよい。前記DMAC 6によるシステムプログラムの転送元は、例えば前記USBI F 3の入力バッファEP 1, EP 2である。前記USBI F 3の入力バッファEP 1, EP 2に受信されたシステムプログラムをRAM 7に一時的に蓄積する場合には、前記DMAC 6により先ずバッファEP 1, EP 2からRAM 7に転送し、タイミングを見計らって、RAM 7からEXMRY 4にシステムプログラムを転送すればよい。前記USBI F 3の入力バッファEP 1, EP 2とRAM 7で多段バッファを構成してシステムプログラムを受けけることにより、USBI F 3による受信処理と受信データに対する外部への転送処理との速度差に対して更に余裕ができる。

【0025】

前記JTAGIF 8は、デバッグモードにおいて、前記USBI F 3を制御する制御データの入力に利用可能である。JTAGIF 8は、例えばデバッグモードにおいて、前記USBI F 3に代えてシステムプログラムの受信に利用可能である。その必要性は、ユーザモードにおいて前記USBI F 3の使用が予約されていて、プログラムダウンロードに利用することができない環境にある場合などである。前記USBI F 3は複数転送チャネルを備える構成であってもよい。その一つをオンチップデバック専用にすれば、プログラムダウンロードをJTAGIF 8による代替通信で行なうことを一切要しないから、そのデータ転送の高速化を保証することができる。

【0026】

前記TRCNT 9はCPU 2がユーザプログラムを実行しているとき、CPU 2の内部状態をトレースバス13を介して順次格納する回路である。格納場所はFIFOバッファ(FBUF) 26とされ、FIFOバッファ26に対するアドレス制御はアドレスカウンタ(ACOUNT) 27が行なう。FIFOバッファ26に蓄えられたトレース情報は、

デバッグモードにおいて前記USBIF3又はJTAGIF8によってホストコンピュータ25に転送可能である。但しFIFOバッファ26の容量は小さいので、大量のデータをトレースするには不向きである。大量のデータをトレース情報として収集する場合には前記AUDIF10を用いる。内部バス12のアドレス情報及びデータ情報等をバスアクセスサイクル毎にトレースバッファ(TRBUF)28に蓄え、TRBUF28のデータをクロック信号AUDCLKに同期して外部に出力すればよい。AUDATAは出力データ、AUDSYNCはデータ出力同期信号である。

【0027】

または、FIFOバッファ26に蓄えられたトレース情報をRAM7やEXMRY4へ一時的に格納し、USBIF3を用いて一括で出力することも可能である。

【0028】

図2にはマイクロコンピュータ1を搭載したターゲットシステム30とホストコンピュータ25との接続形態を示す。ターゲットシステム30にはマイクロコンピュータ1のUSBIF3に接続するUSBコネクタ31が設けられ、このUSBコネクタ31とホストコンピュータ25のUSBコネクタをUSBケーブル23で直結すればよい。マイクロコンピュータ1はデバッグ機能を有するから、ホストコンピュータ25とマイクロコンピュータ1の間にエミュレータを介在させることなく、ターゲットプログラムとしてのシステムプログラムとデバッグ支援プログラムのダウンロードを行なうことができ、その後のユーザモードでは、システムプログラムを実行しながらトレース情報を収集する。システムプログラムの実行がブレークされてデバッグモードに遷移されたとき、トレース情報を参照したりしてターゲットシステムに対する評価及びシステムプログラムの修正等が行なわれる。

【0029】

図3には別の例として前記USBIF3を備えていないマイクロコンピュータ33を搭載したターゲットシステム34とホストコンピュータ25との接続形態を示す。ターゲットシステム34とホストコンピュータ25との間にはエミュレータ35が配置される。エミュレータ35とホストコンピュータ25はUSBケーブル23で接続される。ターゲットシステム34とエミュレータ35はJTAGインタフェースフェースケーブル36で接続される。

【0030】

図4には前記マイクロコンピュータ33とエミュレータ35の一例が示される。マイクロコンピュータ33は図1のマイクロコンピュータ1に対してUSBIF3を備えていない点が相異される。同一機能を有する回路要素には同一符号を付してその詳細な説明は省略する。

【0031】

エミュレータ35は、マイクロコンピュータ40、フィールド・プログラマブル・ゲート・アレイ(FPGA)41、シンクロナス・スタティック・ランダム・アクセス・メモリ(SSRAM)42から成る。

【0032】

マイクロコンピュータ40はCPU44、ROM45、DMAC46、RAM47及びUSBIF48を有し、1個の半導体基板に形成されている。USBIF48は前記USBIF3と同様に、2面でUSBバッファEP1、EP2を有するUSBバッファ部20とUCNT21によって構成され、USB2.0規格に準拠する。RAM47はUSBバッファEP1、EP2の記憶情報に対する後段の2面RAMバッファを構成し、第1RAMバッファ領域BUF1と第2RAMバッファ領域BUF2が割当てられる。望ましくは、第1RAMバッファ領域BUF1と第2RAMバッファ領域BUF2に対して夫々個別のアクセスポートを持つデュアルポートであるのがよい。即ち、一方のUSBバッファEP1がホストコンピュータ25から受信したデータを格納しているとき、他方のUSBバッファEP2から出力されるデータをRAM47の第1RAMバッファ領域BUF1に格納し、これに並行して第2バッファ領域BUF2に格納されているデータを所定のポート

から外部に出力することができる。また、他方のUSBバッファEP2がホストコンピュータ25から受信したデータを格納しているとき、USBバッファEP1から出力されるデータをRAM47の第2RAMバッファ領域BUF2に格納し、これに並行して第1RAMバッファ領域BUF1に格納されているデータを所定のポートから外部に出力することができる。USBIF48からRAM47へのデータ転送にはDMAC46を用いることが望ましい。

【0033】

FPGA41はフラッシュメモリセルのような不揮発性記憶素子を多数有し、それら不揮発性記憶素子のプログラム状態に応じて論理機能を所望に設定することができる回路である。ここではFPGA41は、マイクロコンピュータ33のJTAGIF8とデータ送受信を行なうためのJTAGインタフェースロジック41Aと、SSRAM42のアクセス制御を行なうアドレス生成ロジック41Bを構成する。

【0034】

JTAGインタフェースロジック41Aは、出力FIFOバッファFIFOTDO、入力バッファTDI、インタフェース制御回路(JCNT)50を有する。RAM47から出力FIFOバッファFIFOTDOへのデータライトの際、USBインタフェース制御プログラムを実行するCPU44は出力FIFOバッファFIFOTDOへの書き込み可能状態(TDOST)と空き状態(TDOF)等を管理し、出力FIFOバッファFIFOTDOへ連続して転送データをセットする。マイクロコンピュータ33のJTAGIF8からのアクセス許可ビットはJCNT50が監視する。アクセス許可ビットがイネーブルになったとき出力FIFOバッファFIFOTDOから4バイトの情報送信が行なわれる。出力FIFOバッファFIFOTDOから送信された情報はマイクロコンピュータ33のJTAGIF8で受信され、データレジスタSDDRに格納される。データレジスタSDDRに格納されると、DMAC6が起動され、その情報はDMA転送にてEXMRY14に書き込まれる。

【0035】

前記SSRAM42はマイクロコンピュータ33のAUDIF10から出力されるトレース情報の格納に利用される。前記FPGA41で実現されるSSRAM42のアクセス制御を行なうアドレス生成ロジックはアドレスカウンタ(ACOUNT)52と、セレクト(ASEL)53を構成する。セレクト53はSSRAM42のアドレッシングをCPU44で行なうかアドレスカウンタ52で行なうかを選択する。どちらを選択するかはCPU44の指示に従って決定される。

【0036】

このように、ホストコンピュータ25に接続するUSBIF48と、ターゲットコンピュータ33のJTAGIF8の間には、受信データの入力と出力を並列可能にするバッファBUF1、BUF2による2面バッファと、2面バッファの一方のバッファから出力される受信データをFIFO形式で蓄えることができる出力FIFOバッファFIFOTDOが設けられているから、ホストコンピュータ25とマイクロコンピュータ33がUSBインタフェースで直結されていないが、ある程度データ転送効率を上げることができる。

【0037】

特に、内蔵RAM47を数キロバイトのダブルバッファ構造として、ホストコンピュータ25からのダウンロードデータをバッファBFU1またはBFU2の一方に受信中に、他方のバッファが保持しているデータを出力FIFOバッファFIFOTDOにライトするように、処理を並列化したから、バッファEP1、EP2のデータサイズとバッファFIFOTDOのデータサイズが異なる場合であっても、また、バッファEP1、EP2の動作とバッファFIFOTDOの動作が独立しているためDMAC転送を途中で中断させないという制約が必要になる場合であっても、対応することが可能になる。

【0038】

図5にはFPGA41で構成されるJTAGインタフェースロジック41Aの詳細が示

される。図6には図5の動作タイミングが示される。

【0039】

バッファFIFOTDOは4バイト×61段(244バイト)の多段構成とされる。55はマイクロコンピュータ40に接続されるインタフェースである。バッファFIFOTDOはFIFO56とシフトレジスタ57によって構成される。コントロールブロック58とバッファコントロールブロック59はJCNT50を構成する。59A, 59Bは所定のロジックである。CPUDATA(REGDATA.D)はRAM47からの出力データ、CPUWR_N(TDOWR_N)はFIFO56に対するライトリクエスト、TDOREG.QはFIFO56からのリードデータ、READQはFIFO56に対するリードリクエスト、SHIFTREG.はシフトレジスタ57の出力データ(TDO出力)である。SBUF_LOADはシフトレジスタ57のデータロード信号、S_Pはシフトレジスタ57のシフト信号である。TDOemはFIFO56のエンプティ信号、TDOflはFIFO56のフル信号である。TDOSTはバッファFIFOTDOにライト可能か否かを示し、1でライト可、0でライト不可を意味する。TDOfは1でバッファFIFOTDOのデータがすべてシフトアウトしたこと、0でバッファFIFITDOのデータがすべてシフトアウトしていない(初期値)ことを示す。TDINTはバッファFIFITDOのデータが全てシフトアウトした時に割込要求信号IRQを出力させるための信号であり、1で割込要求を可能とし、0で割込要求を抑止する(初期値)。

【0040】

マイクロコンピュータ40のRAM47より、ライトイネーブル(TDOWR_N)に応答してCPUクロックCPUCLK同期でデータ(REGDATA.D)がFIFO56に書き込まれる。FIFO56がフル状態のときは、CPUクロックCPUCLKに同期してTDOflが出力される。FIFO56がエンプティ状態の時は、クロックTCKに同期してTDOemが出力される。シフトレジスタ57へのデータ転送開始ロードパルス(SBUF_LOAD)は、FIFO56が空の時はライトイネーブル(TDOWR_N)に同期して生成され、空でない時は転送終了パルス(DONE_P)に同期して生成される。この作用はロジック59A, 59Bにより実現される。DONE_Pは、ターゲットマイクロコンピュータ33からのアクセス許可ビットに基づいて生成される。アクセス許可ビットは、レジスタTDIを介して入力される。バッファコントロールブロック59ではシフトレジスタ57のデータ転送終了毎にFIFO56のデータ書き込み可能状態を示すTDOflをチェックする。TDOflがバッファFIFITDOの書き込み可能状態を示すTDOSTビットを生成し、TDOemとDONE_PによりバッファFIFOTDOの空き状態を示すTDOfビットを生成し、コントロールブロック58のJTAREGレジスタに反映する。TDOfをマイクロコンピュータ40への割込み要求に使用する場合、割込み許可を示すTDINTビットとTDOfによって割込み要求信号IRQを生成する。CPU44がこの割込み要求を受付けると、例えば図7のTDOデータセット処理実行における、次のRAMバッファへの切り換え(S7)を行う。

【0041】

図7にはRAM47の2面RAMバッファBUF1, BUF2を切り換えてデータをバッファFIFOTDOに転送する制御手順が示される。まず、この制御手順を可能にするTDINTが1にされ(S1)、TDOST=1かによってバッファFIFOTDOの空きがチェックされ(S2)、空きがあればバッファFIFOTDOにデータが転送される(S3)。転送されたデータバイト数がチェックされる。即ち、バッファBUF1, BUF2の夫々に割当てられる領域の最大容量数が否かがチェックされる(S4)。その転送バイト数に到達すると、TDOf=1かの判定によってFIFOTDOの空きチェックを行ない(S5)、全てシフトアウトしたことが判定されると、CPU44にIRQにて割り込みを要求し、TDOfを0にクリアする(S6)。その後、転送元RAMバッファ領域が次のバッファBUF1又はBUF2に切り換えられる(S7)。上記処理を送信完了まで繰返す(S8)。完了後、TDINTを0にクリアして(S9)、制御を終了する。

【0042】

このように、バッファBUF1からバッファFIFO TDOへのデータライト転送は、バッファFIFO TDOのバッファの書き込み可能状態(TDOSTビット)を参照して、RAM47の最大容量数キロバイト数を転送し、次にバッファFIFO TDOの空き状態(TDOF)を確認した後、次のバッファBUF2又はBUF1へ切り替え、指定したデータ量を転送完了する迄その処理を繰り返す。これにより、RAM47からバッファFIFO TDOへのデータライトの際、TDOSTビットとTDOFビットを管理し連続して転送データをセットする。マイクロコンピュータ33からバッファTDIに送られるアクセス許可ビットはハードロジック58が監視する。それらの結果、図8の(A)に示すように、アクセス許可ビットを検出してから転送データを転送するまでのオーバーヘッドを無くし、最大数百バイトの連続転送が可能になり、ユーザプログラムなどのダウンロード転送の高速化を実現することができる。ターゲットマイクロコンピュータがUSBIF3を持たない場合にもプログラムダウンロード転送速度をある程度高速化することが可能である。尚、図8の(A)において、マイコン書き込みとはRAM47からバッファFIFO TDOへのデータ転送書き込みを意味する。JTAG出力とはバッファFIFO TDOからターゲットマイクロコンピュータ33への転送データ出力を意味する。SPはターゲットマイクロコンピュータ33からのアクセス許可ビットのステータスポーリング処理を意味する。

【0043】

図9には比較例に係るエミュレータが例示される。ホストコンピュータとのインタフェースにはUSBを用いる。USBドライバ61及びUSBコントローラマイコンチップ62が設けられる。USBコントローラマイコンチップ62のプログラムはROM63に格納され、SDRAM64がワークメモリとして利用される。受信したUSBデータはSDRAM64に一旦格納され、USBパケット解析等を経てSDRAM64に格納してからJTAGコントローラ65のデータ出力レジスタからターゲットマイクロコンピュータにデータを送信する。JTAG準拠のインタフェースではソフトダウンロードデータ転送方式は、送信データの終了をターゲットCPUからアクセス許可ビットを受け取ることができるステータス取得モードで行っている。また1回のデータ転送量は最大で4バイトである。エミュレータは転送の都度ターゲットマイクロコンピュータ33からステータス取得モード終了を示すアクセス許可ビットを取得する。要するに、アクセス許可ビットをポーリングしながら取得して、データ出力レジスタ(TDO)へ転送データをセットしなければならない。この場合には図8の(B)に示されるように、アクセス許可ビットの検出から転送データセットまでにオーバーヘッドT1が発生する。要するに、図8の(B)は4バイト転送毎にデータ出力レジスタ(TDO)へのデータセットを行い、図8の(A)はデータ出力レジスタ(TDO)へのデータセットを予め行い、ハードロジック58でアクセス許可ビット取得毎に4バイト単位でデータ出力を行う。

【0044】

図10には図5の例と図9の比較例に関しホストコンピュータPCよりターゲットマイクロコンピュータの外付メモリに1メガバイトのユーザプログラムファイルをダウンロードするときのダウンロード性能が示される。傾向線aは図5に対応され、傾向線bは図9に対応される。これによればホストコンピュータからターゲットマイクロコンピュータへデータ転送する際、図9の比較例におけるプログラムダウンロード性能は、TCK=10MHz以上にしても230KB/秒より変化はなかった。

【0045】

図5の例では、TCK=10MHz以上でもダウンロード性能がリニアに上がる。また、TCK=20MHzである場合、ダウンロード性能が約2倍の400KB/秒となる。

【0046】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0047】

例えば、CPU 2と内部バス12の間にはキャッシュメモリが配置されてもよい。仮想アドレスをサポートする場合にはCPU 2と内部バス12の間にアドレス変換バッファが配置されていてよい。ロジック41A, 41BはFPGAで構成することに限定されない。

【図面の簡単な説明】

【0048】

【図1】本発明に係るマイクロコンピュータを例示するブロック図である。

【図2】USBIF内蔵のマイクロコンピュータを搭載したターゲットシステムとホストコンピュータとの接続形態を示す説明図である。

【図3】USBIFを備えていないマイクロコンピュータを搭載したターゲットシステムとホストコンピュータとの接続形態を示す説明図である。

【図4】図3のマイクロコンピュータとエミュレータの一例を示すブロック図である。

【図5】FPGAで構成されるJTAGインタフェースロジックの詳細を示す論理回路図である。

【図6】図5の構成による動作を示すタイミングチャートである。

【図7】RAMの2面バッファBUF1, BUF2を切り換えてデータをFIFOTDOに転送する制御手順を示すフローチャートである。

【図8】図5と図9の夫々の場合におけるプログラムダウンロードの動作タイミングの相違を示すタイミングチャートである。

【図9】図5の比較例に係るエミュレータを例示するブロック図である。

【図10】図5の例と図9の比較例のそれぞれにおいてホストコンピュータからユーザープログラムファイルをダウンロードするときのダウンロード性能を例示する説明図である。

【符号の説明】

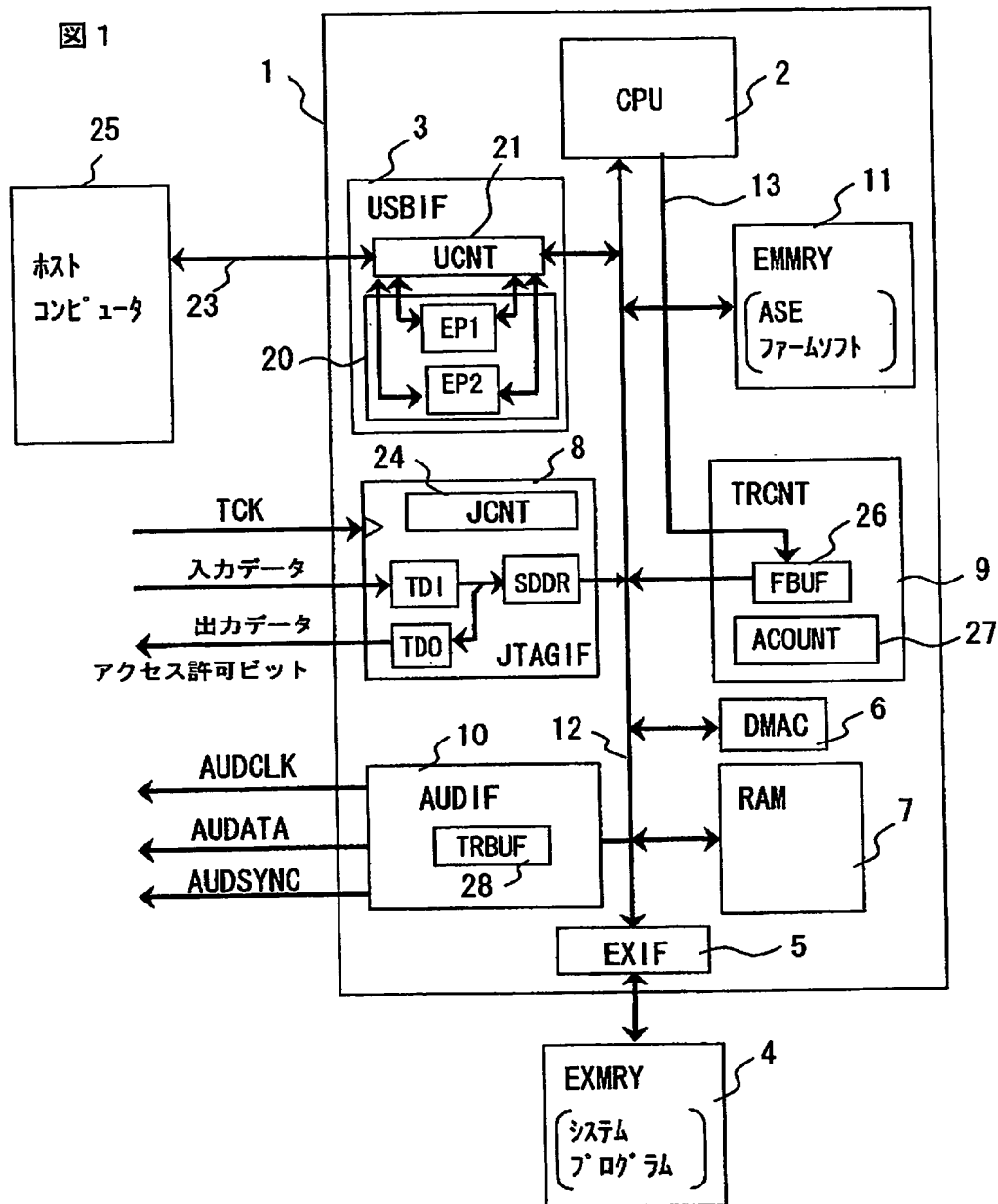
【0049】

- 1 マイクロコンピュータ
- 2 CPU
- 3 USBインタフェース回路
- 4 外部メモリ
- 5 外部バスインタフェース回路
- 6 DMAC
- 7 RAM
- 8 JTAG回路
- 9 トレース回路
- 11 エミュレーションRAM
- EP1, EP2 2面バッファ
- 25 ホストコンピュータ
- 30 ターゲットシステム
- 33 マイクロコンピュータ
- 34 ターゲットシステム
- 35 エミュレータ
- 47 RAM
- BUF1, BUF2 2面バッファ
- FIFOTDO
- 48 USBインタフェース回路

【書類名】 図面

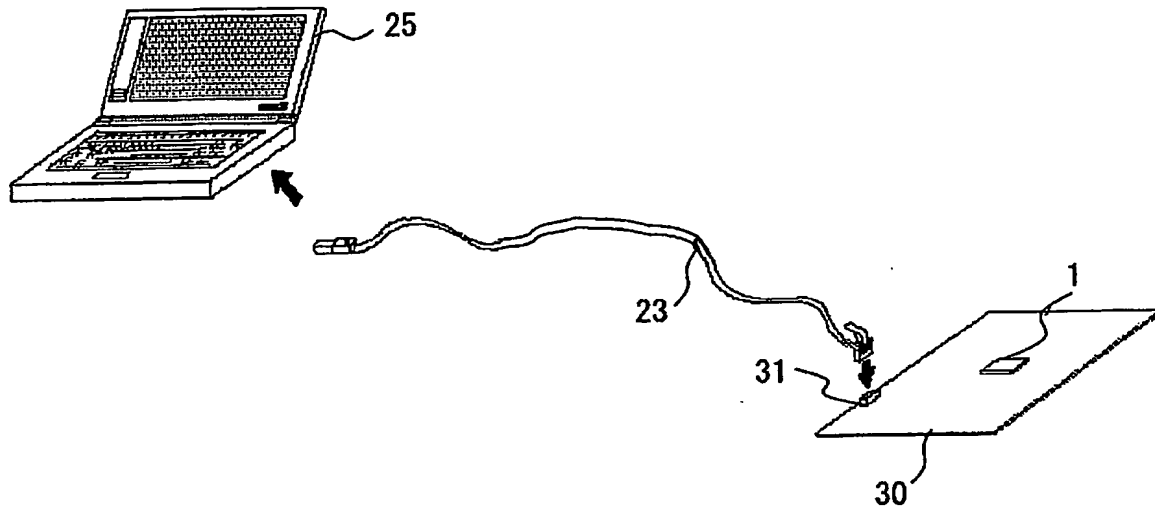
【図 1】

図 1



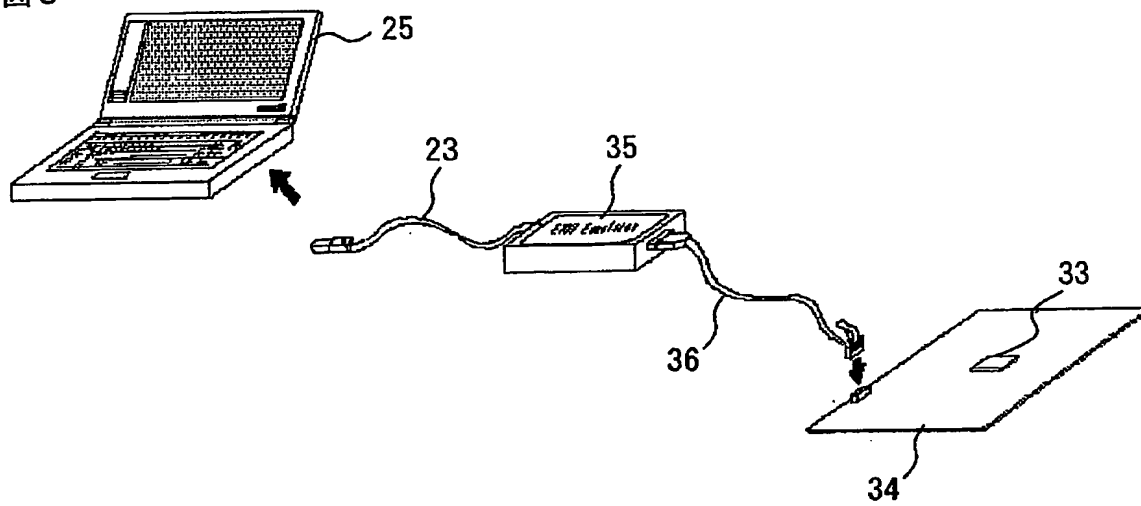
【図 2】

図 2



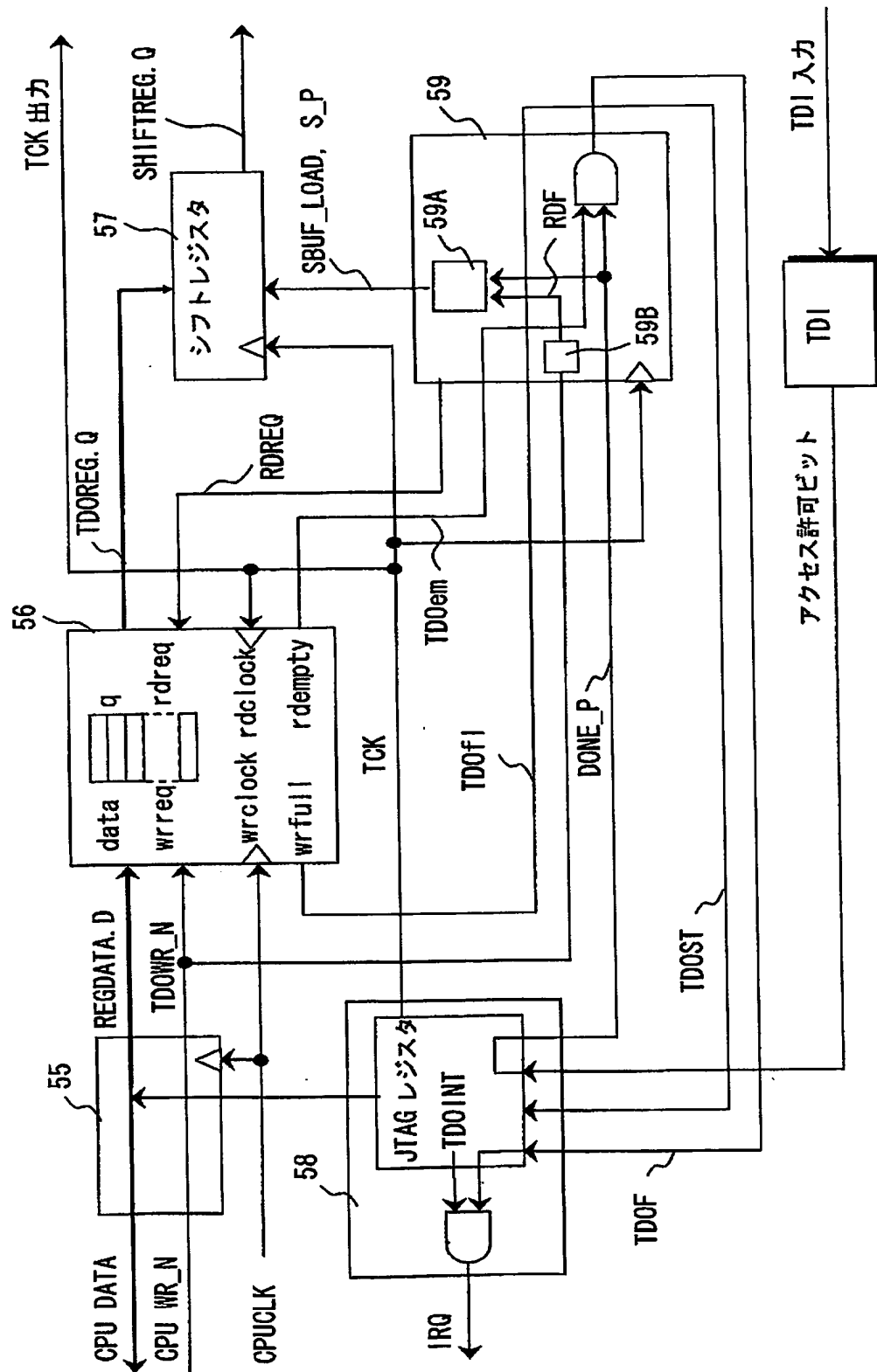
【図 3】

図 3



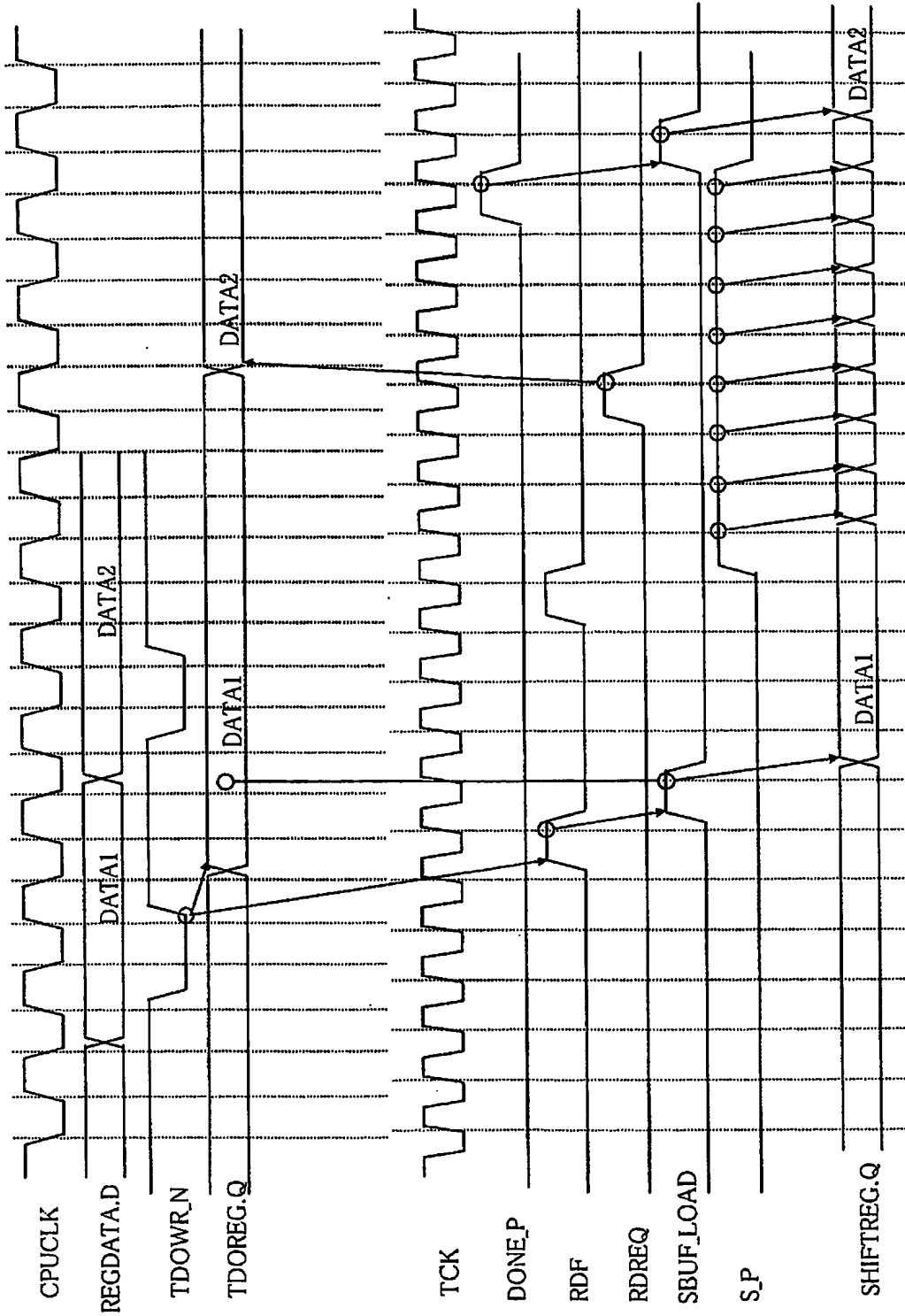
【図 5】

図 5



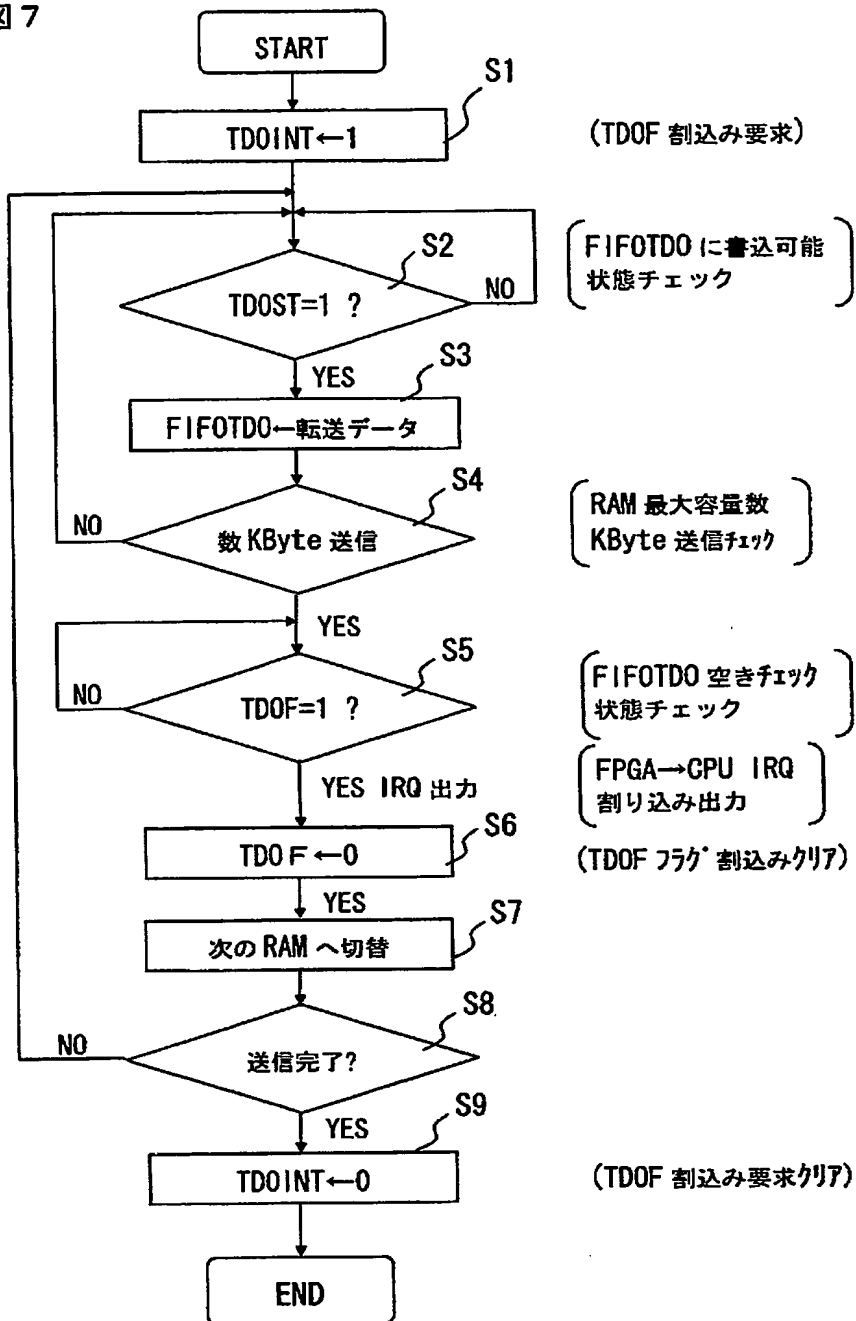
【図 6】

図 6



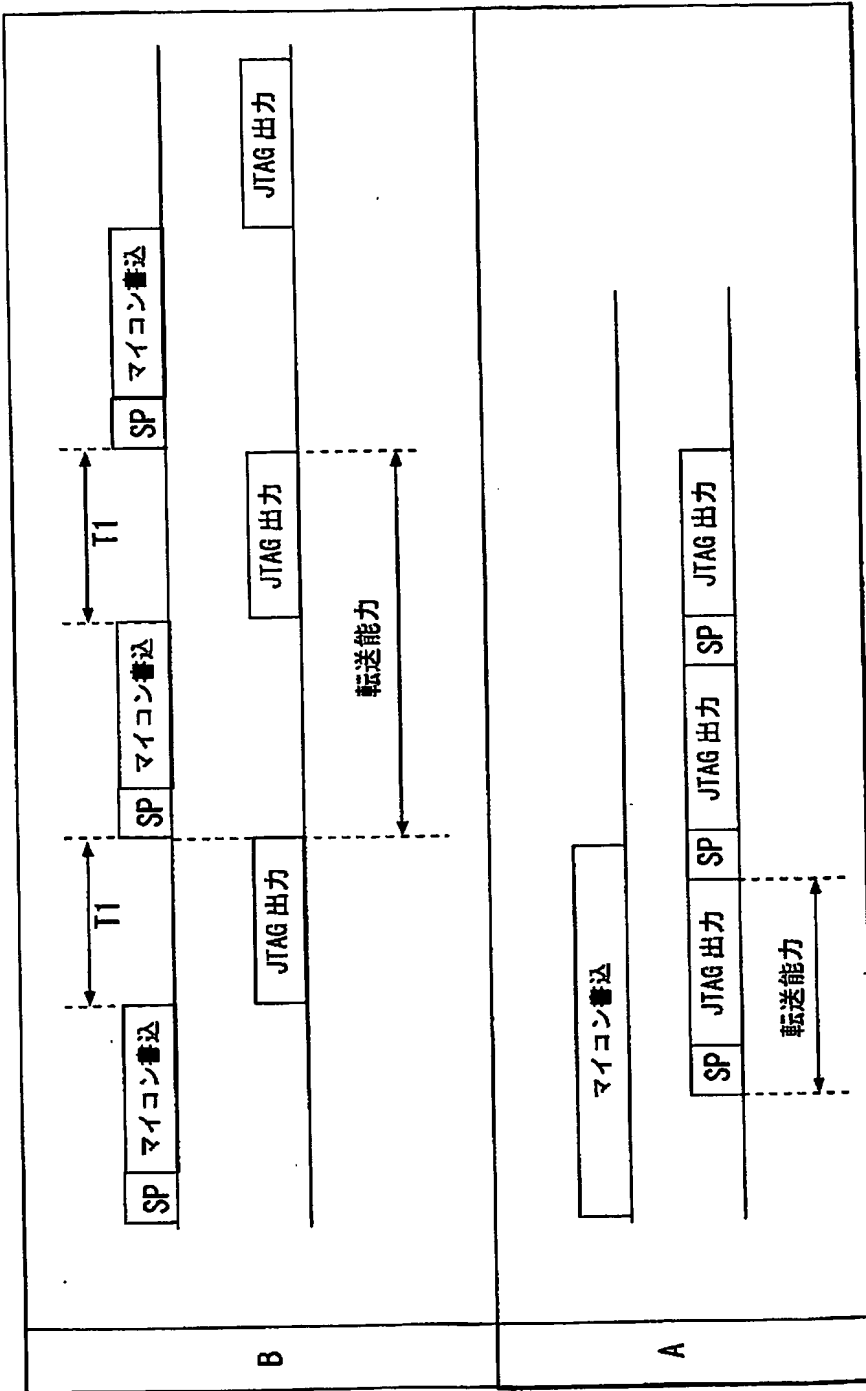
【図 7】

図 7



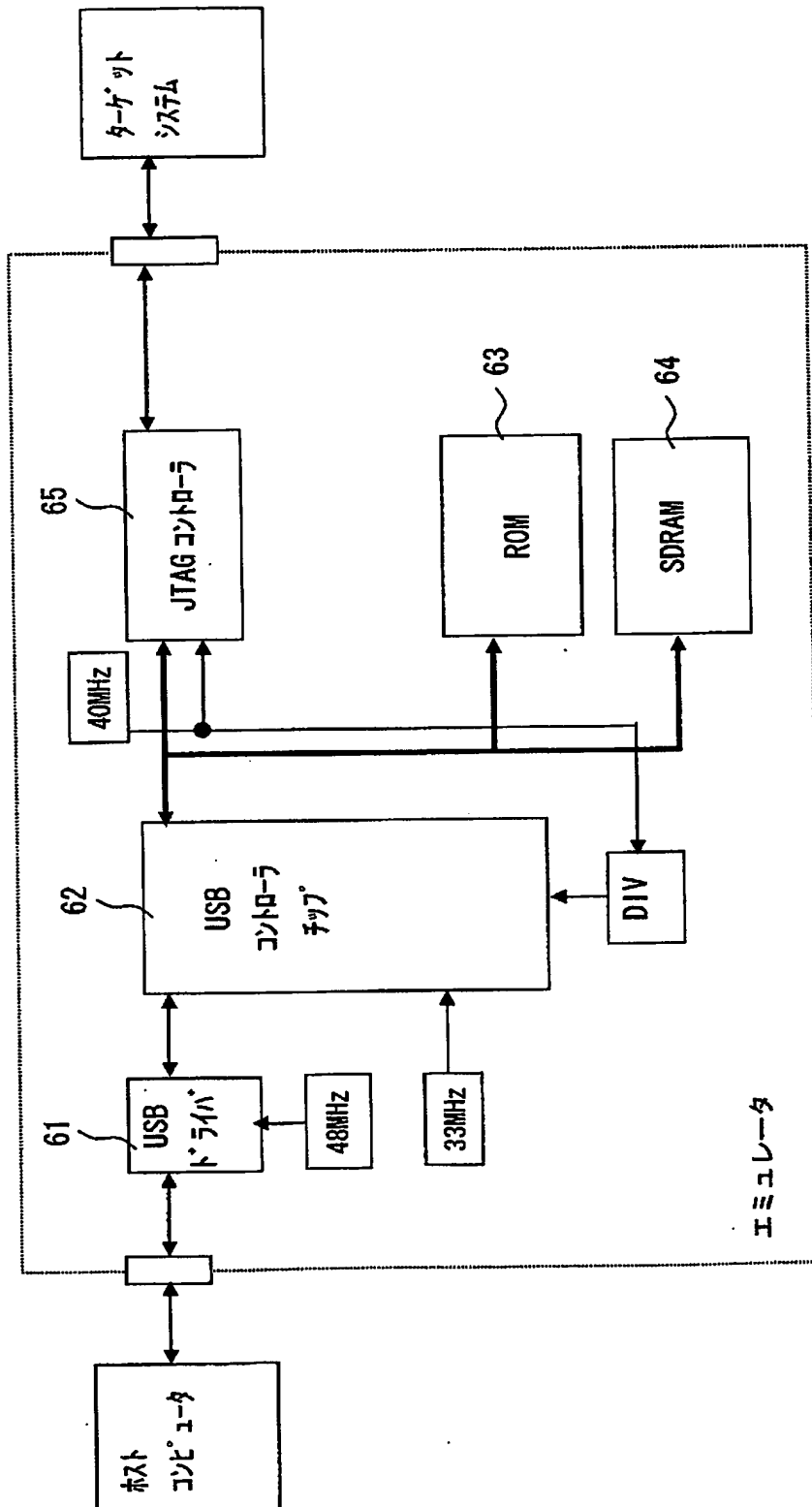
【図 8】

図 8



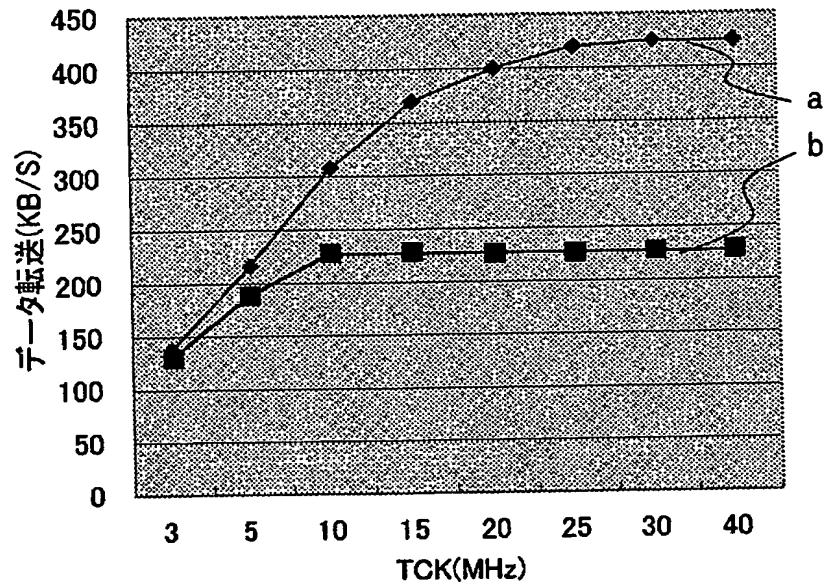
【図 9】

図 9



【図 10】

図 10



【書類名】 要約書**【要約】**

【課題】 ターゲットプログラムをホストコンピュータからターゲットシステムにダウンロードするときのデータ転送を高速化する。

【解決手段】 中央処理装置（２）、デバッグ用インタフェースに利用可能な高速シリアル通信インタフェース回路例えばＵＳＢインタフェース回路（３）、及び外部メモリに接続可能な外部バスインタフェース回路（５）を有する。ＵＳＢインタフェース回路はその内部に複数の入力バッファ（ＥＰ１，ＥＰ２）を有し、相互に一の入力バッファに対する入力動作に並行して他の入力バッファからデータを出力可能とされる。デバッグモードにおいて、前記ＵＳＢインタフェース回路はシステムプログラムを受信し、受信されたシステムプログラムをメモリアクセス制御信号と共に前記外部バスインタフェース回路から出力可能である。

【選択図】 図 1

特願 2 0 0 3 - 3 0 4 2 7 6

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ